

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226485

(43) 公開日 平成7年(1995)8月22日

(51) Int. Cl.⁶

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 04

C

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平6-16029

(22) 出願日 平成6年(1994)2月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 廣瀬 達哉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

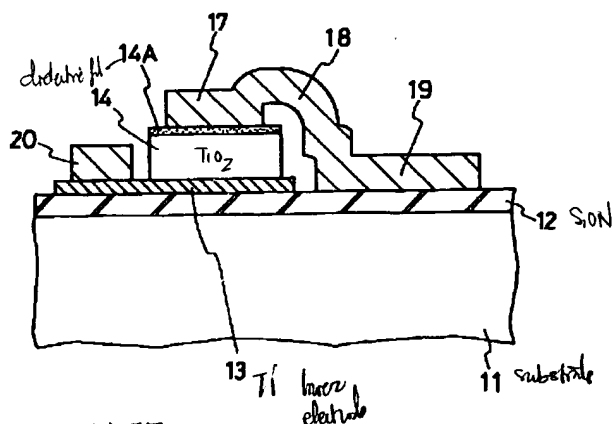
(54) 【発明の名称】 集積回路用キャパシタの製造方法

(57) 【要約】

【目的】 集積回路用キャパシタの製造方法に関し、薄膜化された大容量キャパシタを低温の下で製造可能であるようにし、キャパシタのオン・チップ化を実現しようとする。

【構成】 基板を覆った SiON からなる保護膜 12 上に Ti からなる下部電極 13 を形成してから高温焼成を必要とする TiO₂ からなる高誘電体膜 14 を導電性をもつ程度の低温で形成し、高誘電体膜 14 の膜厚に比較し侵入長が短く且つ高誘電体膜 14 に対する透過率が小さい領域の波長、即ち、125〔nm〕及び 160〔nm〕のピーク波長をもつ重水素ランプからの光を照射し高誘電体膜 14 の表面を焼成温度に加熱して極薄い高抵抗化膜 14A を生成させ、その高抵抗化膜 14A をキャパシタの実質的な誘電体膜として利用することで、小型且つ大容量のキャパシタを低温で製造する。

実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図



17 : 上部電極
18 : ブリッジ部分
19 : 上部電極引き出しパッド
20 : 下部電極引き出しパッド

【特許請求の範囲】

【請求項1】基板上に下部電極を形成してから高温焼成を必要とする高（強）誘電体膜を導電性をもつ程度の低温で形成する工程と、

次いで、前記高（強）誘電体膜の膜厚に比較し侵入長が短く且つ前記高（強）誘電体膜に対する透過率が小さい領域の波長をもつ光源からの光を照射し前記高（強）誘電体膜の表面を焼成温度に加熱して高抵抗化された薄膜を生成させる工程とが含まれてなることを特徴とする集積回路用キャパシタの製造方法。

【請求項2】高（強）誘電体膜を形成する際にイオン・ビームを照射して物理的に損傷を与えて欠陥を生成させることを特徴とする請求項1記載の集積回路用キャパシタの製造方法。

【請求項3】下部電極を構成する金属材料を高（強）誘電体膜中に拡散させる為の熱処理を行う工程が含まれてなることを特徴とする請求項1記載の集積回路用キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばマイクロ波など高い周波数帯で用いる集積回路、例えばMMIC (microwave monolithic integrated circuit) などに組み込むのに好適なキャパシタを製造する方法に関する。

【0002】一般に、キャパシタやインダクタなどの受動素子は、トランジスタなどの能動素子に比較して大型である為、MMICなどのパッケージも大型化せざるを得ない状態にあり、従って、受動素子、特にキャパシタの小型化を図る必要がある。

【0003】

【従来の技術】現在、前記集積回路には、能動素子としてHEMT (high electron mobility transistor: HEMT) やGaAsを材料とするMESFET (metal semiconductor field effect transistor) などが用いられている。

【0004】それ等の専有面積は極めて小さいのであるが、それに比較するとキャパシタなどの受動素子の専有面積は格段に大きい。従って、MMICチップのチップ・サイズは、受動素子の大きさで律せられてしまう。

【0005】この為、直流阻止用キャパシタなどはオン・チップ化せず、パッケージ内の適所にマウントするようにしている。従って、MMICに於けるパッケージの容積は大きくなるばかりでなく、コストも高く、また、製造工程も煩雑である。

【0006】前記したような問題を解消する為、近年、高い比誘電率をもったセラミック系の材料を用い、専有面積が小さいにも拘わらず、容量が大きいキャパシタが開発され、現在、従来の技術に依った場合に比較し、面

積を約1/20乃至1/50に縮小することが可能になった。

【0007】

【発明が解決しようとする課題】前記セラミック系の材料を用いたキャパシタを製造する場合、被膜を形成しただけで良質のセラミック膜を得ることはできず、長時間に亘って高温に曝すことが必要である。

【0008】従って、HEMT・MMIC或いはGaAs・MESFET・MMICなどでは、As抜けが生じたり、他の領域に於ける金属が半導体中に拡散したり、活性層が破壊されるなどの問題を生じている。

【0009】また、形成可能なセラミック膜の膜厚には、製造装置に由来する限界があることから、現在以上にキャパシタの専有面積を縮小することは困難である。

【0010】本発明では、薄膜化された大容量キャパシタを低温の下で製造可能であるようにし、キャパシタのオン・チップ化を実現しようとする。

【0011】

【課題を解決するための手段】図1乃至図6は本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0012】図1参照

1-(1)

絶縁膜を有する半導体層1上に金属膜を形成してからバターニングを行ってキャパシタの下部電極2を形成する。

図2参照

2-(1)

30 高誘電率をもつセラミックなどを材料とする誘電体膜3を全面に形成する。

【0013】ところで、ここで形成する誘電体膜3には、導電性をもたせることが必要である。その理由は、キャパシタの誘電体膜として実質的に作用するのは、この後の工程で誘電体膜3の表面に生成させる極薄い被膜であって、誘電体膜3の大部分は導体としての役割を果たすことになるからである。

【0014】誘電体膜3に導電性をもたせるには、例えばスパッタリング法に依る場合、基板温度を室温程度の低温にして形成したり、或いは、イオン・ビーム・アシスト法に依る場合、前記と同様に低温を適用し、且つ、イオン照射に依って内部に多量の欠陥を発生させると良い。

【0015】図3参照

3-(1)

誘電体膜3に対して透過率が略零である波長以下の光を発生する光源からの光を誘電体膜3に照射し、表面近傍の温度を上昇させ、結晶構造を改質した被膜4を形成する。

50 【0016】この被膜4は、極めて薄く、また、高い誘

電率をもち、キャパシタに於ける実質的な誘電体として作用する。

【0017】図4参照

4-(1)

被膜4及び誘電体膜3のパターニングを行って、キャパシタに必要な部分を残して他を除去する。

【0018】図5参照

5-(1)

被膜4及び誘電体膜3が変質しない程度の温度で熱処理を行って、下部電極2の金属を誘電体膜3中に拡散させる。

【0019】誘電体膜3中には、前記したように、意図的に多量の欠陥が導入されていることから、低温であっても金属が拡散され易い。

【0020】図6参照

6-(1)

金属膜を形成してからパターニングを行ってキャパシタの上部電極5を形成する。

【0021】前記のようにして製造されたキャパシタは、被膜4が、バルク結晶に近い状態になっていて、非常に薄い高誘電体膜として作用するので、小型化しても大容量にすることができ、チップ上に能動素子と共に集積することができる。

【0022】前記したところから、本発明に依る集積回路用キャパシタの製造方法に於いては、

【0023】(1) 基板(例えばGaAsからなる半導体層11とSiONからなる保護膜12などをもつ基板)上に下部電極(例えばTiからなる下部電極13)を形成してから高温焼成を必要とする高(強)誘電体膜(例えばTiO₂からなる高誘電体膜14)を導電性をもつ程度の低温で形成する工程と、次いで、前記高(強)誘電体膜の膜厚に比較し侵入長が短く且つ前記高(強)誘電体膜に対する透過率が小さい領域の波長をもつ光源(例えば重水素ランプなど)からの光を照射し前記高(強)誘電体膜の表面を焼成温度に加熱して高抵抗化された薄膜(例えば高抵抗化膜14A)を生成させる工程とが含まれてなることを特徴とするか、或いは、

【0024】(2) 前記(1)に於いて、高(強)誘電体膜を形成する際にイオン・ビーム(例えば酸素イオン・ビーム)を照射して物理的に損傷を与えて欠陥を生成させることを特徴とするか、或いは、

【0025】(3) 前記(1)に於いて、下部電極を構成する金属材料を高(強)誘電体膜中に拡散させる為の熱処理を行う工程が含まれてなることを特徴とする。

【0026】

【作用】前記手段を採ることに依り、キャパシタに於ける実質的な誘電体膜として作用する被膜を薄く形成することができるので、専有面積が小さいにも拘わらず、大きな容量をもつキャパシタを実現することができ、従来は困難であったキャパシタのオン・チップ化が可能とな

り、集積回路のパッケージは小型化されるので、例えばMMICなどには好適である。

【0027】

【実施例】図7乃至図13は本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0028】図7参照

7-(1)

基板(図示せず)上にエピタキシャル成長させたGaAsからなる半導体層11にプラズマCVD(plasma chemical vapour deposition)法を適用することに依って、厚さ例えば1500[Å]程度のSiONからなる保護膜12を形成する。

【0029】7-(2)

真空蒸着法を適用することに依って、保護膜12上に厚さが例えば1000[Å]程度であるTi膜を形成する。 *Ti on top of protection layer*

【0030】7-(3)

Arイオンを用いたイオン・ミリング法を適用することに依り、Ti膜のパターニングを行って下部電極13を形成する。尚、下部電極13を構成する金属材料としては、次の工程で形成する高誘電体膜中に拡散され易いものを選択することが好ましい。 *ion etching of Ti*

【0031】図8参照

8-(1)

イオン・ビーム・アシスト法を適用することに依り、全面に厚さが例えば2000[Å]程度であるTiO₂からなる高誘電体膜14を形成する。 *2000 Å TiO₂ layer 14*

【0032】ここで形成する高誘電体膜14には、多量の欠陥を含ませて導電性にする必要があることから、酸素イオンをイオン・ビームとして同時に照射すると良い。尚、イオン・ビームとしては、高誘電体膜14内に多量の欠陥を生成し、また、ストイキオメトリを変えないものであれば適宜に選択することができる。

【0033】TiO₂からなる高誘電体膜14を形成する際の雰囲気温度は、高誘電体膜14が導電性を維持できる範囲で選択して良く、例えば100[°C]に設定することができる。

【0034】図9参照

9-(1)

出力が1[kW]、ピーク波長が125[nm]及び160[nm]の付近にある重水素ランプを光源として、高誘電体膜14の表面近傍に於ける温度が500[°C]乃至700[°C]、即ち、焼成温度になるまで照射し、高誘電体膜14の結晶構造を変化(結晶化)させて厚さ200[Å]の高抵抗化膜14Aを生成させる。

【0035】この場合、温度は光源のパワー並びに照射時間で制御するものであり、TiO₂からなる高誘電体膜14は基板の全面に形成されているので、前記光照射

5

に依って他の領域が損傷される虞は皆無である。

【0036】また、ここで用いる光源としては、 TiO_2 に対する透過係数が零近くの波長であれば、前記重水素ランプに限定されるものではない。

【0037】図10参照

10-(1)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを SF_6 とする反応性イオン・エッチング(reactive ion etching:RIE)法を適用することに依り、高抵抗化膜14A及び高誘電体膜14のエッチングを行って、キャパシタに必要な部分を残して他を除去する。本実施例の場合、キャパシタに必要な部分を平面で見た面積は、 $100[\mu m] \times 100[\mu m]$ とした。

【0038】図11参照

11-(1)

下部電極13から材料であるTiを高誘電体膜14中に拡散させる為、温度 $300[^\circ C] \sim 350[^\circ C]$ で時間10[分]の熱処理を行う。尚、この程度の温度では、集積回路に於ける他の領域が影響を受けることはなく、しかも、Tiは高誘電体膜14の表面、即ち、高抵抗化膜14Aに到達する程度に拡散する。

【0039】11-(2)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、上部電極にエア・ブリッジを生成させる為のレジスト膜15を形成する。

【0040】図12参照

12-(1)

蒸着法を適用することに依り、全面に鍍金の下地になる極薄い金属膜を形成する。尚、簡明にする為、前記極薄い金属膜は図示されていない。

【0041】リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、上部電極、上部電極引出しパッド、下部電極引出しパッドを形成する為のパターンをもつレジスト膜16を形成する。

【0042】鍍金法を適用することに依って、レジスト膜16で覆われていない部分、即ち、前記工程12-(1)で形成した極薄い金属膜が表出されている部分上に厚さが例えば $1000[\text{\AA}] / 2000[\text{\AA}]$ のPt/Tiからなる上部電極17、ブリッジ部分18、上部電極引き出しパッド19、下部電極引き出しパッド20などをそれぞれ形成する。

【0043】図13参照

13-(1)

レジスト膜16の溶解・剥離及びレジスト膜15の溶解・剥離を行う。レジスト膜15を除去したことに依って、ブリッジ部分18は下地と空気分離される。

【0044】13-(2)

レジスト膜16を除去した跡には、前記工程12-

(1)で形成した鍍金の下地である極薄い金属膜が表出

6

され、また、それは、各電極などを短絡しているので、イオン・ミリング法などを適用して除去する。これに依って、上部電極17、ブリッジ部分18、上部電極引き出しパッド19、下部電極引き出しパッド20などが完全にパターン化される。

【0045】前記のようにして得られた集積回路用キャパシタは、その平面で見た面積が、前記したように、 $100[\mu m] \times 100[\mu m]$ であるにも拘わらず、容量は約 $300[pF] \sim 400[pF]$ 程度にすることができた。因みに、従来の技術に依った場合、前記の面積では、高々 $4[pF]$ 程度であるに過ぎない。

【0046】

【発明の効果】本発明に依る集積回路用キャパシタの製造方法に於いては、基板上に下部電極を形成してから高温焼成を必要とする高(強)誘電体膜を導電性をもつ程度の低温で形成し、高(強)誘電体膜の膜厚に比較し侵入長が短く且つ高(強)誘電体膜に対する透過率が小さい領域の波長をもつ光源からの光を照射し高(強)誘電体膜の表面を焼成温度に加熱して高抵抗化された薄膜を生成させる。

【0047】前記構成を採ることに依り、キャパシタに於ける実質的な誘電体膜として作用する被膜を薄く形成することができるので、専有面積が小さいにも拘わらず、大きな容量をもつキャパシタを実現することができ、従来は困難であったキャパシタのオン・チップ化が可能となり、集積回路のパッケージは小型化されるので、例えばMMICなどには好適である。

【図面の簡単な説明】

【図1】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図2】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図3】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図4】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図5】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図6】本発明の原理を解説する為の工程要所に於けるキャパシタを表す要部切断側面図である。

【図7】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

【図8】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

【図9】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

【図10】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

【図11】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

50

7

8

【図12】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

【図13】本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図である。

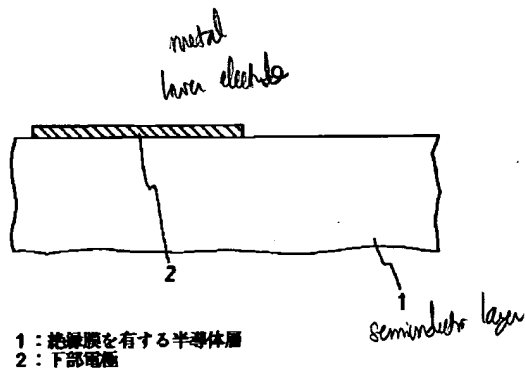
【符号の説明】

- 11 半導体層
12 保護膜
13 下部電極

- 14 高誘電体膜
14A 高抵抗化膜
15 レジスト膜
16 レジスト膜
17 上部電極
18 ブリッジ部分
19 上部電極引き出しパッド
20 下部電極引き出しパッド

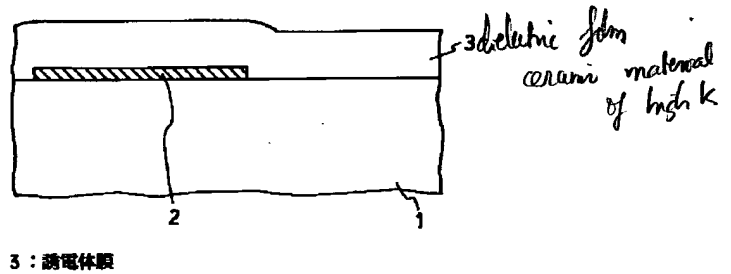
【図1】

原理を解説する為の工程要所に於けるキャパシタの要部切断側面図



【図2】

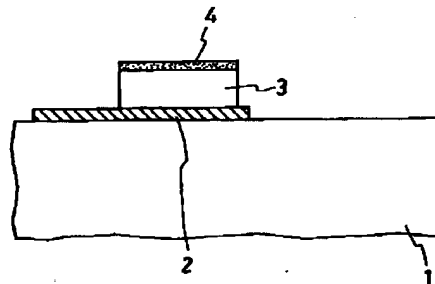
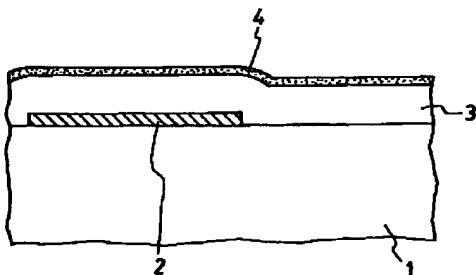
原理を解説する為の工程要所に於けるキャパシタの要部切断側面図



【図4】

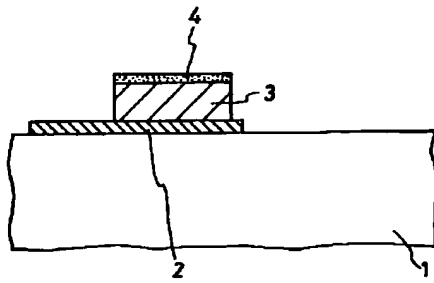
原理を解説する為の工程要所に於けるキャパシタの要部切断側面図

原理を解説する為の工程要所に於けるキャパシタの要部切断側面図



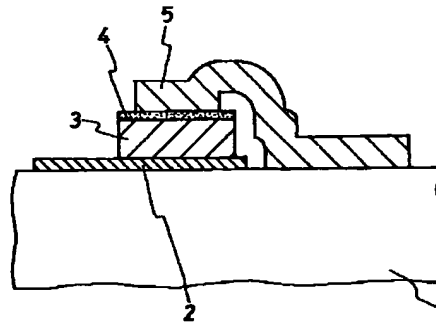
【図5】

原理を解説する為の工程要所に於けるキャパシタの
要部切斷側面図



【図6】

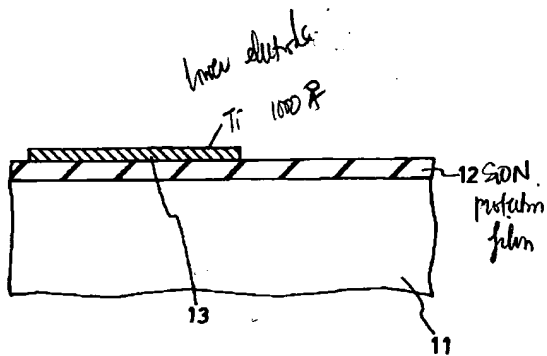
原理を解説する為の工程要所に於けるキャパシタの
要部切斷側面図



5 : 上部電極

【図7】

実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図

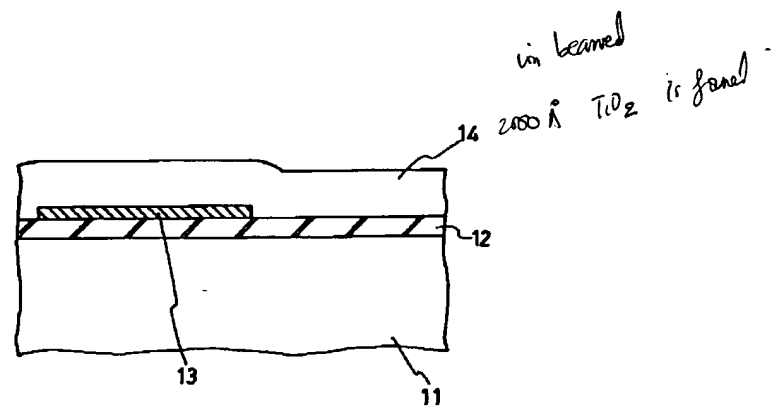


11 : 半導体層
12 : 保護膜
13 : 下部電極

semiconductor
layer
GaAs

【図8】

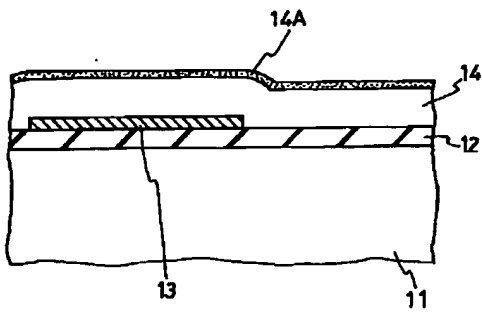
実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



14 : 高誘電体膜

【図9】

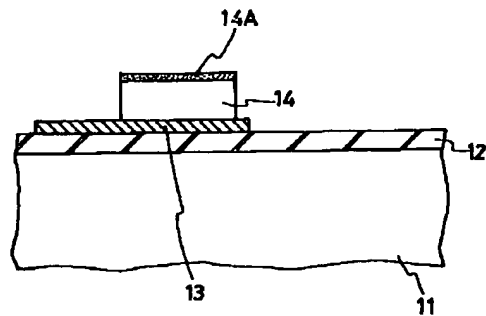
実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



14A：高抵抗化膜

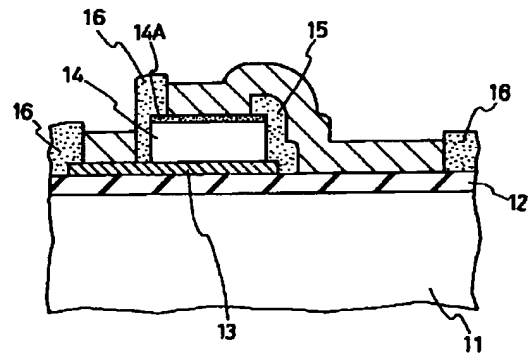
【図10】

実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



【図12】

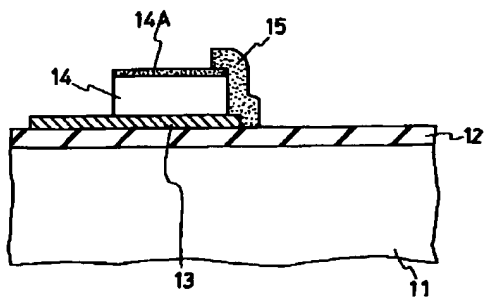
実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



16：レジスト膜

【図11】

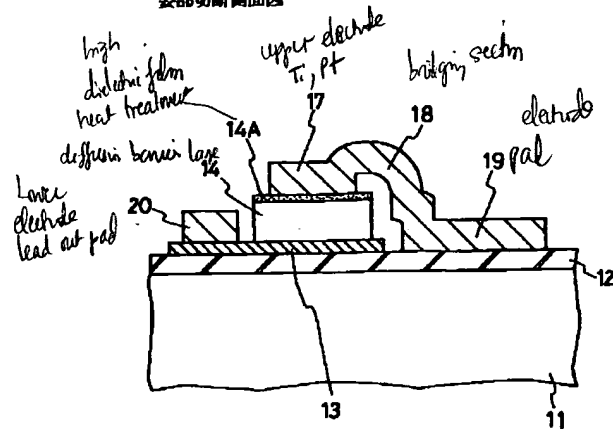
実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



15：レジスト膜

【図13】

実施例を解説する為の工程要所に於ける半導体装置の
要部切斷側面図



- 17 : 上部電極
18 : ブリッジ部分
19 : 上部電極引き出しパッド
20 : 下部電極引き出しパッド